

(19) 日本国特許庁(JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 7 7 3 6 9 2 号

(45) 発行日 平成10年(1998)7月9日

(24) 登録日 平成10年(1998)4月24日

(51) Int. Cl. 6

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00 1 0 1 K

請求項の数 1 1

(全 1 1 頁)

(21) 出願番号 特願平7-193554

(22) 出願日 平成7年(1995)7月28日

(65) 公開番号 特開平9-46209

(43) 公開日 平成9年(1997)2月14日

審査請求日 平成7年(1995)7月28日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高橋 弘行

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 萩原 義則

(58) 調査した分野 (Int. Cl. 6, D B 名)

H03K 19/0175

(54) 【発明の名称】 入力バッファ回路

1

(57) 【特許請求の範囲】

【請求項 1】 半導体集積回路に内蔵され外部端子の信号を入力しこの入力信号とリファレンス電圧との電位差を増幅して他の内蔵回路に出力する入力バッファ回路において、

電源及び接地間にそれぞれ 2 個ずつ直列接続された MOS 型の第 1、第 2 または第 3、第 4 のトランジスタの各 2 ゲートに前記入力信号、前記リファレンス電圧を組み合わせてそれぞれ入力し、第 1、第 2 のトランジスタのドレイン接続点及び第 3、第 4 のトランジスタのドレイン接続点から、互いに相補のレベル関係にある第 1 及び第 2 の駆動用の信号をそれぞれプッシュプル出力するプッシュプル回路と、

前記第 1 及び第 2 の駆動用の信号を差動増幅して出力する差動増幅回路とを有することを特徴とする入力バッ

2

ファ回路。

【請求項 2】 差動増幅回路を、エミッタを共通接続しベースに第 1 及び第 2 の駆動用の信号それぞれを対応して受けるバイポーラ型の第 1 及び第 2 の駆動用のトランジスタと、これら第 1 及び第 2 の駆動用のトランジスタのエミッタと電源電位点及び接地電位点のうち的一方との間に接続された定電流源と、前記第 1 及び第 2 の駆動用のトランジスタと接続される負荷回路とを備えた回路とし、プッシュプル回路を、前記第 1 及び第 2 の駆動用のトランジスタが飽和しない範囲の所定のレベルの第 1 及び第 2 の駆動用の信号を出力する回路とした請求項 1 記載の入力バッファ回路。

【請求項 3】 プッシュプル回路を、第 1～第 4 のトランジスタを同一導電型とし、前記第 1 のトランジスタのゲートに入力信号を受けソースに電源電位及び接地電位

3

のうちの一方を受け、前記第 2 のトランジスタのゲートにリファレンス電圧を受けソースを前記第 1 のトランジスタのドレインと接続しドレインに前記電源電位及び接地電位のうちの他方を受け、前記第 3 のトランジスタのゲートに前記リファレンス電圧を受けソースに前記電源電位及び接地電位のうちの一方を受け、前記第 4 のトランジスタのゲートに前記入力信号を受けソースを前記第 3 のトランジスタのドレインと接続しドレインに前記電源電位及び接地電位のうちの他方を受け、前記第 1 及び第 2 のトランジスタのソース、ドレイン接続点から第 1 の駆動用の信号を出力し、前記第 3 及び第 4 のトランジスタのソース、ドレイン接続点から第 2 の駆動用の信号を出力する回路とした請求項 1 記載の入力バッファ回路。

【請求項 4】 プッシュプル回路を、ゲートに入力信号を受けソースに電源電位及び接地電位のうちの一方を受け一導電型の第 1 のトランジスタと、ゲート及びドレインを前記第 1 のトランジスタのゲート及びドレインと対応接続しソースに前記電源電位及び接地電位のうちの他方を受ける逆導電型の第 2 のトランジスタと、ゲートにリファレンス電圧を受けソースに前記電源電位及び接地電位のうちの一方を受け一導電型の第 3 のトランジスタと、ゲート及びドレインを前記第 3 のトランジスタのゲート及びドレインと対応接続しソースに前記電源電位及び接地電位のうちの他方を受ける逆導電型の第 4 のトランジスタとを備え、前記第 1 及び第 2 のトランジスタのドレイン接続点から第 1 の駆動用の信号を出力し、前記第 3 及び第 4 のトランジスタのドレイン接続点から第 2 の駆動用の信号を出力する回路とした請求項 1 記載の入力バッファ回路。

【請求項 5】 プッシュプル回路の電源電位受電端及び接地電位受電端のうちの一方に、電源電位及び接地電位とは異なる所定の電位の内部基準電圧を供給するようにした請求項 3 または 4 記載の入力バッファ回路。

【請求項 6】 差動増幅回路を、ソースを共通接続しゲートに第 1 及び第 2 の駆動用の信号それぞれを対応して受ける n チャネル MOS 型の第 1 及び第 2 の駆動用のトランジスタと、これら第 1 及び第 2 の駆動用のトランジスタのソースと電源電位点及び接地電位点のうちの一方との間に接続された定電流源と、前記第 1 及び第 2 の駆動用のトランジスタと接続する負荷回路とを備えた回路とした請求項 1 記載の入力バッファ回路。

【請求項 7】 差動増幅回路の出力信号を所定のレベルに変換するレベル変換回路を設けた請求項 1 記載の入力バッファ回路。

【請求項 8】 差動増幅回路を、互いに相補のレベル関係にある第 1 及び第 2 の差動増幅信号を出力する回路とし、レベル変換回路を、ベースに前記第 1 及び第 2 の差動増幅信号のうちの一方を受けコレクタに電源電位及び接地電位のうちの一方を受けるバイポーラ型のトランジ

4

スタと、ソースを前記バイポーラ型のトランジスタのエミッタと接続しゲートに前記電源電位及び接地電位のうちの他方を受ける一導電型 MOS 型のトランジスタと、ドレインを前記一導電型 MOS 型のトランジスタのドレインと接続しゲートに前記第 1 及び第 2 の差動増幅信号のうちの他方を受ける逆導電型 MOS 型のトランジスタと、一端を前記逆導電型 MOS 型のトランジスタのソースと接続し他端に前記電源電位及び接地電位のうちの他方を受けて順方向電圧を発生するダイオード素子とを備え、前記逆導電型 MOS 型のトランジスタのドレインからレベル変換された信号を出力する回路とした請求項 7 記載の入力バッファ回路。

【請求項 9】 差動増幅回路及びレベル変換回路のうちの少なくとも一方に、その出力信号を所定のタイミングで保持し出力する信号保持手段を設けた請求項 7 記載の入力バッファ回路。

【請求項 10】 差動増幅回路を、エミッタを共通接続しベースに第 1 及び第 2 の駆動用の信号それぞれを対応して受けるバイポーラ型の第 1 及び第 2 の駆動用のトランジスタ、ソース及びドレインをこれら第 1 及び第 2 の駆動用のトランジスタのエミッタと電源電位点及び接地電位点のうちの一方との間に接続しクロック信号の第 1 のレベルに応答して導通し定電流を発生する定電流源の MOS 型のトランジスタ、並びに前記第 1 及び第 2 の駆動用のトランジスタと接続する負荷回路を備え、前記第 1 及び第 2 の駆動用の信号を差動増幅して第 1 及び第 2 の差動増幅信号として出力する差動増幅部と、ベースに前記第 1 の差動増幅信号を受けコレクタに前記第 2 の差動増幅信号を受けるバイポーラ型の第 1 の信号保持用のトランジスタ、ベースに前記第 2 の差動増幅信号を受けコレクタに前記第 1 の差動増幅信号を受けエミッタを前記第 1 の信号保持用のトランジスタのエミッタと接続するバイポーラ型の第 2 の信号保持用のトランジスタ、並びにソース及びドレインを前記第 1 及び第 2 の信号保持用のトランジスタのエミッタと前記電源電位点及び接地電位点のうちの一方との間に接続し前記クロック信号の第 2 のレベルに応答して導通するスイッチング用の MOS 型のトランジスタを備え、前記第 1 及び第 2 の差動増幅信号を所定のタイミングで保持し出力する信号保持部とを含んだ回路とした請求項 9 記載の入力バッファ回路。

【請求項 11】 レベル変換回路を、入力端に差動増幅回路の出力信号を受けクロック信号が第 1 のレベルのときに前記入力端に受けた信号を出力端に伝達する第 1 のトランスファゲートと、所定のしきい値電圧をもち入力端に前記第 1 のトランスファゲートの出力端の信号を受ける第 1 のインバータと、この第 1 のインバータの出力信号をレベル反転する第 2 のインバータと、この第 2 のインバータの出力信号を入力端に受け前記クロック信号が第 2 のレベルのときにこの入力端の信号を前記第 1 の

10

20

30

40

50

インバータの入力端に伝達する第2のトランスファゲートとを備え、前記第1のインバータの出力信号をレベル変換された信号として出力する回路とした請求項9記載の入力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は入力バッファ回路に関し、特に低振幅信号を入力とする入力バッファ回路に関する。

【0002】

【従来の技術】コンピュータなどを構成する半導体集積回路は、その性能向上のため高い動作周波数の製品開発が急速に進んでいる。100MHzに近づく高周波では、伝送バス線のノイズや消費電力のため、従来のTTLインターフェイスからGTL (Gunning Transceiver Logic) インターフェイスなどの低振幅信号が用いられようとしている。これら低振幅信号の入力バッファ回路は、MOSトランジスタによる差動増幅回路が一般的であり、その代表的な回路を図12に示す。

【0003】この入力バッファ回路は、ゲートに入力信号INを受けるpチャネルMOS型（以下pMOS型という）のトランジスタM21xと、ゲートにリファレンス電圧Vrefを受けソースをトランジスタM21xのソースと接続するpMOS型のトランジスタM23xと、ソースを接地電位点と接続しドレインをトランジスタM21xのドレインと接続するnチャネルMOS型（以下nMOS型という）のトランジスタM22xと、ソースを接地電位点と接続しゲート及びドレインをトランジスタM22xのゲートと接続してこのトランジスタM22xと共にカレントミラー回路を構成するnMOS型のトランジスタM24xと、トランジスタM21x、M23xのソースと電源電位Vcc供給端との間に接続された定電流源I21xとを備え、トランジスタM21x、M22xのドレインから出力信号OUTを出力する差動増幅回路2xを有する構成となっている。

【0004】リファレンス電圧Vrefには通常0.7～1.2V程度の比較的低い電圧（電源電位Vccを3V程度として）が使われ、このリファレンス電圧Vrefに対し±(0.2～0.5)V程度が入力信号INの振幅となる。リファレンス電圧Vrefに対する入力信号INの電位差、すなわちトランジスタM21x、M23xのゲート電位差がこれらトランジスタのオン能力差として現れ、トランジスタM22xの能力がカレントミラー回路によってトランジスタM23xに伝達される。

【0005】入力信号INに対し、トランジスタM21x、M23xからの出力信号OUTは逆相、トランジスタM22x、M24xからは同相の信号が出力（図示省略）され、相補型インバータと同様の動作となり、電源電位Vccと接地電位との中間電位に対し高レベルまた

は低レベルの出力信号OUTとして出力される。

【0006】構成トランジスタのpMOS型とnMOS型とを入れ換えた形の回路も成立つが、入力信号IN等の電圧が低いため、このような差動増幅回路には、通常、動作電圧マージンが大きいpMOS型が駆動用のトランジスタ(M21x、M23x相当)として用いられる。そして、この動作電圧マージンを確保するため、構成トランジスタ(M21x～M24x)は常にオン状態で動作させる必要があり、貫通電流が発生する。また、出力電圧OUTはトランジスタM21x、M23xの導電比により決まるため、高レベル、低レベルのレベル差は、電源電位Vcc、接地電位のレベル差（例えば3V）までは得られず、ほぼ1～2V程度にとどまる。

【0007】なお、このような入力バッファ回路は、例えば日経エレクトロニクス、1993年9月27日号、No. 591、269～290頁などに記載されている。

【0008】この入力バッファ回路の出力信号OUTは、次段のCMOS回路を直接駆動したり、ラッチ回路やレジスタを介してCMOS回路を駆動する。

【0009】

【発明が解決しようとする課題】この従来の入力バッファ回路では、動作電圧マージンを確保するため構成トランジスタ(M21x～M24x)を常にオン状態とし、リファレンス電圧Vrefと入力信号INとの差電圧を感知する構成となっているので、入力信号INが小振幅になると増幅利得の低下により出力信号OUTの振幅が減少し、動作速度も遅くなる。この出力信号OUTの振幅の減少は次段のCMOS回路において貫通電流を増大させるといった問題点があり、また、動作速度が遅くなる点に関しては、この入力バッファ回路、すなわち差動増幅回路2x及び次段のCMOS回路の動作電流を増加させることにより、ある程度カバーできるものの、半導体集積回路全体の消費電流が増大するという問題点がある。

【0010】また、ラッチ回路やレジスタを介して次段のCMOS回路を駆動する場合には、この入力バッファ回路の動作遅れにこれらラッチ回路、レジスタ等の動作遅れも加わり、半導体集積回路全体の動作速度が更に遅くなるという問題点がある。

【0011】本発明の目的は、自身の動作速度の向上、消費電流の低減をはかると共に半導体集積回路全体の動作速度の向上及び消費電流の低減をはかることができる入力バッファ回路を提供することにある。

【0012】

【課題を解決するための手段】本発明は、半導体集積回路に内蔵され外部端子の信号を入力しこの入力信号とリファレンス電圧との電位差を増幅して他の内蔵回路に出力する入力バッファ回路において、電源及び接地間にそれぞれ2個ずつ直列接続されたMOS型の第1、第2主

たは第 3、第 4 のトランジスタの各 2 ゲートに前記入力信号、前記リファレンス電圧を組み合わせるそれぞれ入力し、第 1、第 2 のトランジスタのドレイン接続点及び第 3、第 4 のトランジスタのドレイン接続点から、互いに相補のレベル関係にある第 1 及び第 2 の駆動用の信号をそれぞれプッシュプル出力するプッシュプル回路と、前記第 1 及び第 2 の駆動用の信号を差動増幅して出力する差動増幅回路とを有している。

【0013】また、差動増幅回路を、エミッタを共通接続しベースに第 1 及び第 2 の駆動用の信号それぞれを対応して受けるバイポーラ型の第 1 及び第 2 の駆動用のトランジスタと、これら第 1 及び第 2 の駆動用のトランジスタのエミッタと電源電位点及び接地電位点のうち的一方との間に接続された定電流源と、前記第 1 及び第 2 の駆動用のトランジスタと接続される負荷回路とを備えた回路とし、プッシュプル回路を、前記第 1 及び第 2 の駆動用のトランジスタが飽和しない範囲の所定のレベルの第 1 及び第 2 の駆動用の信号を出力する回路とし、プッシュプル回路を、第 1～第 4 のトランジスタを同一導電型とし、前記第 1 のトランジスタのゲートに入力信号を受けソースに電源電位及び接地電位のうち的一方を受け、前記第 2 のトランジスタのゲートにリファレンス電圧を受けソースを前記第 1 のトランジスタのドレインと接続しドレインに前記電源電位及び接地電位のうちの他方を受け、前記第 3 のトランジスタのゲートに前記リファレンス電圧を受けソースに前記電源電位及び接地電位のうち的一方を受け、前記第 4 のトランジスタのゲートに前記入力信号を受けソースを前記第 3 のトランジスタのドレインと接続しドレインに前記電源電位及び接地電位のうちの他方を受け、前記第 1 及び第 2 のトランジスタのソース、ドレイン接続点から第 1 の駆動用の信号を出力し、前記第 3 及び第 4 のトランジスタのソース、ドレイン接続点から第 2 の駆動用の信号を出力する回路とし、または、プッシュプル回路を、ゲートに入力信号を受けソースに電源電位及び接地電位のうち的一方を受け一導電型の第 1 のトランジスタと、ゲート及びドレインを前記第 1 のトランジスタのゲート及びドレインと対応接続しソースに前記電源電位及び接地電位のうちの他方を受け一導電型の第 2 のトランジスタと、ゲートにリファレンス電圧を受けソースに前記電源電位及び接地電位のうち的一方を受け一導電型の第 3 のトランジスタと、ゲート及びドレインを前記第 3 のトランジスタのゲート及びドレインと対応接続しソースに前記電源電位及び接地電位のうちの他方を受け一導電型の第 4 のトランジスタとを備え、前記第 1 及び第 2 のトランジスタのドレイン接続点から第 1 の駆動用の信号を出力し、前記第 3 及び第 4 のトランジスタのドレイン接続点から第 2 の駆動用の信号を出力する回路とし、更に、プッシュプル回路の電源電位受電端及び接地電位受電端のうち的一方に、電源電位及び接地電位とは異なる所定の電位

の内部基準電圧を供給するようにして構成される。また、差動増幅回路を、ソースを共通接続しゲートに第 1 及び第 2 の駆動用の信号それぞれを対応して受ける n チャネル MOS 型の第 1 及び第 2 の駆動用のトランジスタと、これら第 1 及び第 2 の駆動用のトランジスタのソースと電源電位点及び接地電位点のうち的一方との間に接続された定電流源と、前記第 1 及び第 2 の駆動用のトランジスタと接続する負荷回路とを備えた回路として構成される。

10 【0014】また、差動増幅回路の出力信号を所定のレベルに変換するレベル変換回路を設けて構成され、差動増幅回路を、互いに相補のレベル関係にある第 1 及び第 2 の差動増幅信号を出力する回路とし、レベル変換回路を、ベースに前記第 1 及び第 2 の差動増幅信号のうち的一方を受けコレクタに電源電位及び接地電位のうち的一方を受け一導電型のトランジスタと、ソースを前記バイポーラ型のトランジスタのエミッタと接続しゲートに前記電源電位及び接地電位のうちの他方を受け一導電型 MOS 型のトランジスタと、ドレインを前記一導電型 MOS 型のトランジスタのドレインと接続しゲートに前記第 1 及び第 2 の差動増幅信号のうちの方を受け一導電型 MOS 型のトランジスタと、一端を前記逆導電型 MOS 型のトランジスタのソースと接続し他端に前記電源電位及び接地電位のうちの他方を受けて順方向電圧を発生するダイオード素子とを備え、前記逆導電型 MOS 型のトランジスタのドレインからレベル変換された信号を出力する回路として構成される。

20 【0015】また、差動増幅回路及びレベル変換回路のうちの少なくとも一方に、その出力信号を所定のタイミングで保持し出力する信号保持手段を設けて構成され、差動増幅回路を、エミッタを共通接続しベースに第 1 及び第 2 の駆動用の信号それぞれを対応して受けるバイポーラ型の第 1 及び第 2 の駆動用のトランジスタ、ソース及びドレインをこれら第 1 及び第 2 の駆動用のトランジスタのエミッタと電源電位点及び接地電位点のうちの方との間に接続しクロック信号の第 1 のレベルに定電流を発生する定電流源の MOS 型のトランジスタと、並びに前記第 1 及び第 2 の駆動用のトランジスタと接続する負荷回路を備え、前記第 1 及び第 2 の駆動用の信号を差動増幅して第 1 及び第 2 の差動増幅信号として出力する差動増幅部と、ベースに前記第 1 の差動増幅信号を受けコレクタに前記第 2 の差動増幅信号を受け一導電型の第 1 の信号保持用のトランジスタ、ベースに前記第 2 の差動増幅信号を受けコレクタに前記第 1 の差動増幅信号を受けエミッタを前記第 1 の信号保持用のトランジスタのエミッタと接続するバイポーラ型の第 2 の信号保持用のトランジスタ、並びにソース及びドレインを前記第 1 及び第 2 の信号保持用のトランジスタのエミッタと前記電源電位点及び接地電位点のうちの方との間に接続し前記クロック信号の第 2 のレベルに定

答して導通するスイッチング用のMOS型のトランジスタを備え、前記第1及び第2の差動増幅信号を所定のタイミングで保持し出力する信号保持部とを含んだ回路とし、レベル変換回路を、入力端に差動増幅回路の出力信号を受けクロック信号が第1のレベルのときに前記入力端に受けた信号を出力端に伝達する第1のトランスファゲートと、所定のしきい値電圧をもち入力端に前記第1のトランスファゲートの出力端の信号を受ける第1のインバータと、この第1のインバータの出力信号をレベル反転する第2のインバータと、この第2のインバータの出力信号を入力端に受け前記クロック信号が第2のレベルのときにこの入力端の信号を前記第1のインバータの入力端に伝達する第2のトランスファゲートとを備え、前記第1のインバータの出力信号をレベル変換された信号として出力する回路として構成される。

【0016】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。

【0017】図1は本発明の第1の実施の形態を示す回路図である。

【0018】この第1の実施の形態は、ゲートに入力信号INを受けソースに電源電位Vccを受けるpMOS型のトランジスタM1、ゲートにリファレンス電圧Vrefを受けソースをトランジスタM1のドレインと接続しドレインに接地電位を受けるpMOS型のトランジスタM2、ゲートにリファレンス電圧Vrefを受けソースに電源電位Vccを受けるpMOS型のトランジスタM3、及びゲートに入力信号INを受けソースをトランジスタM3のドレインと接続しドレインに接地電位を受けるpMOS型のトランジスタM4を備え、トランジスタM1、M2のソース、ドレイン接続点及びトランジスタM3、M4のソース、ドレイン接続点からリファレンス電圧Vrefと入力信号INとの差電圧と対応しかつ互いに相補のレベル関係にある所定のレベルの第1及び第2の駆動用の信号P1、P2を出力するプッシュプル回路1と、エミッタを共通接続しベースに第1及び第2の駆動用の信号P1、P2それぞれを対応して受けるバイポーラ型の駆動用のトランジスタQ21、Q22、これら駆動用のトランジスタQ21、Q22のエミッタと接地電位点との間に接続された定電流源I21、並びに駆動用のトランジスタQ21、Q22のコレクタそれぞれと電源電位Vcc受電端との間に接続された負荷抵抗R21、R22を備え、第1及び第2の駆動用の信号P1、P2を差動増幅して、駆動用のトランジスタQ21、Q22のコレクタそれぞれから互いに相補のレベル関係にある第1及び第2の差動増幅信号E1、E2を出力する差動増幅回路2と、ベースに第1の差動増幅信号E1を受けコレクタに電源電位Vccを受けるバイポーラ型のトランジスタQ31、ソースをトランジスタQ31のエミッタと接続しゲートに接地電位を受けるpMO

S型のトランジスタM31、ゲートに第2の差動増幅信号E2を受けドレインをpMOS型のトランジスタM31のドレインと接続するnMOS型のトランジスタM32、及びこのトランジスタM32のソースと接地電位点との間に接続されて順方向電圧を発生するダイオードD31を備え、トランジスタM31、M32のドレイン接続点から差動増幅信号E1、E2を所定のレベルに変換した信号(OUT)を出力するレベル変換回路3とを有する構成となっている。

10 【0019】次に、この第1の実施の形態の動作及び動作条件等について説明する。

【0020】この第1の実施の形態においても、従来例と同様に通常、リファレンス電圧Vrefには0.7～1.2V程度の比較的低い電圧が使われ、入力信号INの振幅はこのリファレンス電圧Vrefに対し±(0.2～0.5)V程度となっている。

【0021】以下、リファレンス電圧Vrefを0.7V、入力信号INの振幅を±0.2Vとした厳しい状態の場合について説明する。

20 【0022】プッシュプル回路1から出力される駆動用の信号P1、P2は、そのレベルがトランジスタM1、M2の導電率の比、トランジスタM3、M4の導電率の比でそれぞれ決まり、入力信号INがリファレンス電圧Vrefより高レベルになるとトランジスタM2に対しトランジスタM1の能力(オン抵抗)が下がり駆動用の信号P1は入力信号INに対し逆相の低レベルに、またトランジスタM4の能力も下がり駆動用の信号P2は同相の高レベルに変化する。

30 【0023】ここで、この駆動用の信号P1、P2は、次段の差動増幅回路2のバイポーラ型のトランジスタQ21、Q22が飽和しない範囲で高く、しかもこれらトランジスタQ21、Q22を駆動する上で都合の良い(動作マージンが大きい等)電圧となっている。例えば、電源電位Vccを3.3Vとすると、P1、P2は2.5V付近となる。また、差動増幅回路2は、バイポーラ型のトランジスタQ21、Q22によって高い増幅率を持っているので、駆動用の信号P1、P2の振幅は0.2V程度でよい。

40 【0024】差動増幅回路2は、定電流源I21の電流をトランジスタQ21、Q22のオン、オフ状態に応じて分流し、負荷抵抗R21、R22の電圧降下により差動増幅信号E1、E2を出力する。従って、差動増幅信号E1、E2の振幅は定電流源I21の電流値、負荷抵抗R21、R22の抵抗値等によって調整可能であり、次段のレベル変換回路の動作マージンを考慮して1～1.5V程度としている。

50 【0025】差動増幅信号E1、E2を受けたレベル変換回路3においては、差動増幅信号E1によりトランジスタM31のオン能力を、E2によりトランジスタM32のオン能力を相補的にそれぞれ制御してレベル変換

し、CMOS型のインバータと同様に、大きな振幅の出力信号OUTを出力する。

【0026】トランジスタM31, M32のオン, オフ*

オン時: $V_{cc} - V_f$ ($V_{cc} = 3.3V$ で約 $2.5V$) …… (1)

オフ時: $V_{cc} - V_f - \Delta V$

ここで、 V_f はpn接合の順方向電圧、 ΔV は差動増幅信号E1, E2の振幅である。このように、これらトランジスタM31, M32のオン, オフ時のソース・ゲート間電圧比は2倍以上取れるため、十分な増幅能力があり、その負荷を駆動することができる。出力信号OUTの高レベル, 低レベルは、電源電位 V_{cc} に対して V_f だけ低下し、接地電位に対し V_f だけ上昇するが、次段のCMOS回路にとってはMOS型のトランジスタのしきい値電圧と同程度かそれ以下であるので、特に問題はない。

【0028】次に、この第1の実施の形態における過渡応答特性について、図2及び図3を参照して説明する。入力信号INが低レベルから高レベルへと変化したとき(リファレンス電圧 V_{ref} に対し)の動作波形を示したものが図2であり、高レベルから低レベルへと変化したときの動作波形を示したものが図3である。

【0029】入力信号INに対し、駆動用の信号P2は同一傾向で変化するが、駆動用の信号P1は振幅もやや小さく鈍った変化となる。これは、駆動用の信号P2に対する動作が同相で、トランジスタM4のゲート・ドレイン間容量が出力電圧の駆動に協する形で働いているからである。プッシュプル回路1は、プルアップ用、プルダウン用のトランジスタM1, M4が入力信号INのレベルに直ちに応答してそのオン能力を変化させ、そのまま駆動用の信号P1, P2として出力され上、低振幅動作となっているため、その動作速度は約 $0.1ns$ という非常に速いものとなる。

【0030】差動増幅回路2は、高速動作に向けた一般的なECL回路と同等であるので、 $0.3ns$ 程度で高速に差動増幅信号を出力する。

【0031】レベル変換回路3も、十分な信号振幅の差動増幅信号E1, E2が与えられ、これら相補型の差動増幅信号E1, E2によってトランジスタM31, M32のオン能力が制御されるので、 $0.3ns$ 程度の高速で出力信号OUTを出力する。

【0032】図2及び図3には、レベル変換回路3の次段のドライバ回路の出力信号を含めた動作波形が示されており、この次段のドライバ回路の動作時間を含め、約 $1.1ns$ となっており、また、入力信号INのレベル変化に対する依存性も殆どない。

【0033】消費電流はプッシュプル回路1, 差動増幅回路2, 及びレベル変換回路3の全てで発生する。しかし、プッシュプル回路1は、差動増幅回路2のバイポーラ型のトランジスタQ21, Q22のベースを駆動するだけであり、差動増幅回路2は、1個のバイポーラ型の

*時のソース・ゲート間電圧はどちらも次式のとおりとなる。

【0027】

(同じく約 $1.2V$) …… (2)

トランジスタQ31のベース及びnMOS型のトランジスタM32のゲートを駆動するだけであるので、これらの駆動負荷は軽く、従ってプッシュプル回路1及び差動増幅回路2には小さい動作電流を流すだけで済む。また、レベル変換回路3は、負荷依存性を受けやすいが、前述の(2)式に示されるように、入力振幅 ΔV 、すなわち差動増幅信号E1, E2の振幅を調整することにより、オフ側能力を十分低くできるので、その貫通電流を小さくすることができる。

【0034】図4は本発明の第2の実施の形態におけるプッシュプル回路部分の回路図である。

【0035】この第2の実施の形態においては、第1の実施の形態におけるプッシュプル回路1の電源電位 V_{cc} 受電端に、電源電位 V_{cc} より低く、内部発生した低電圧の内部基準電圧VR1を供給するようにしたものである。

【0036】こうすることにより、入力信号INの振幅が大きくなったときや、pMOSトランジスタM1~M4の製造ばらつき等で特性が変化したときなどに、駆動用の信号P1, P2の高レベルの電圧の上りすぎを阻止することができ、差動増幅回路2のバイポーラ型のトランジスタQ21, Q22のベース電圧を抑えてこれらトランジスタQ21, Q22が飽和領域に入るのを防止することができる。この内部基準電圧VR1を例えば $0.5 \sim 1.0V$ 程度とすることにより、バイポーラ型のトランジスタQ21, Q22が飽和する心配はなくなる。

【0037】図5は本発明の第3の実施の形態におけるプッシュプル回路部分の回路図である。

【0038】この第3の実施の形態では、プッシュプル回路1bをnMOS型のトランジスタM5~M8で構成し、低電位側の電源電位(第1, 第2の実施の形態のプッシュプル回路1, 1aの接地電位相当)受電端に、接地電位より高く、内部発生した差電圧の内部基準電圧VR2を供給するようにしたものである。

【0039】nMOS型のトランジスタはpMOS型に比べて能力が高く高速性に優れているが、その特徴はゲート入力信号が $V_{cc}/2$ 付近から高い電圧範囲のときに発揮される。また、駆動用の信号P1, P2のレベルは低めになるので、差動増幅回路2における定電流源I21の電圧が不足しがちになる。従って、駆動用の信号P1, P2のレベルが下がりすぎるのを阻止するため、定電位側の電源電位受電端の電位を、接地電位より高い内部基準電圧VR2としている。この内部基準電圧VR2は例えば $1 \sim 1.5V$ 程度が妥当な値であり、バイポーラ型のトランジスタQ21, Q22の飽和電圧マージ

ンは逆に拡大するので、差動増幅回路 2 の出力信号 (E 1, E 2) の振幅を大きめに設定することができる。

【0040】図 6 は本発明の第 4 の実施の形態におけるプッシュプル回路部分の回路図である。

【0041】この第 4 の実施の形態のプッシュプル回路 1 c は、プルアップ用として pMOS 型のトランジスタ、プルダウン用として nMOS 型のトランジスタを用い、それぞれのゲートには同一の信号を供給するようにした、いわゆる CMOS 型のインバータと同一構成であり、入力信号 I N 用とリファレンス電圧 V r e f 用とで 10 対をなし、駆動信号 P 1, P 2 を出力する。

【0042】このプッシュプル回路 1 c では、pMOS 型、nMOS 型のトランジスタそれぞれが独立した製造ばらつきをもち、駆動用の信号 P 1, P 2 の動作電位が変動しやすいが、それぞれ相補的能力変化が最も高く成りやすいので、その振幅を大きく、かつ高速にしやすい。

【0043】この第 4 の実施の形態のプッシュプル回路 1 c においても、第 2, 第 3 の実施の形態のプッシュプル回路 1 a, 1 b と同様に、次段の差動増幅回路 2 の動作マージン確保のために、高電位側の電源電位 V c c 受電端、又は定電位側の電源電位受電端に、内部発生による内部基準電圧 V R 1 又は V R 2 を供給することができ 20

【0044】図 7 は本発明の第 5 の実施の形態を示す回路図である。

【0045】この実施例では、レベル変換回路 3 a を、相補型の出力信号 O U T 1, O U T 2 が得られるようにしたものであり、第 1 の実施の形態のレベル変換回路 3 に、更に、ベースに第 2 の差動増幅信号 E 2 を受けコレクタに電源電位 V c c を受けるバイポーラ型のトランジスタ Q 3 2 と、ゲートに接地電位を受けソースをトランジスタ Q 3 2 のエミッタと接続する pMOS 型のトランジスタ M 3 3 と、ゲートに第 1 の差動増幅信号 E 1 を受けドレインをトランジスタ M 3 3 のドレインと接続しソースをトランジスタ M 3 2 のソースと接続する nMOS 型のトランジスタ M 3 4 とを付加した回路となっている。

【0046】メモリ装置等では、アドレス信号をバッファ回路で受けて各構成ビットを相補型としてデコーダ回路に供給するのが一般的であるが、この相補型のアドレス信号を発生するのにインバータ等を使用していた。従ってその分、信号の遅延時間が生じ高速動作が困難であった。このような回路に本発明の第 5 の実施例の形態の回路を適用することにより、インバータ等が不要となり、その分高速化することができ、半導体集積回路全体の動作速度を速くすることができる。

【0047】図 8 は本発明の第 6 の実施の形態を示す回路図である。

【0048】この第 6 の実施の形態は、差動増幅回路 2 50

a を、所定のタイミングで差動増幅信号 E 1, E 2 を保持し出力する信号保持手段を備えた回路としたものである。

【0049】この第 6 の実施の形態の差動増幅回路 2 a は、バイポーラ型のトランジスタ Q 2 1, Q 2 2、負荷抵抗 R 2 1, R 2 2、及び nMOS 型のトランジスタ M 2 1 による定電流源から成る差動増幅部と、ベースに差動増幅部からの第 1 の差動増幅信号 E 1 を受けコレクタに第 2 の差動増幅信号 E 2 を受けるバイポーラ型のトランジスタ Q 2 3、ベースに第 2 の差動増幅信号 E 2 を受けコレクタに第 1 の差動増幅信号 E 1 を受けエミッタをトランジスタ Q 2 3 のエミッタと接続するバイポーラ型のトランジスタ Q 2 4、及びゲートにクロック信号 C K を受けドレインをトランジスタ Q 2 3, Q 2 4 のエミッタと接続しソースに接地電位を受ける nMOS 型のトランジスタ M 2 2 を備えたラッチ部と、クロック信号 C K をレベル反転して所定のタイミングで差動増幅部を非活性状態とするインバータ I V 2 1 とを含む構成となっている。

【0050】クロック信号 C K が低レベルのときは、トランジスタ M 2 1 がオン、M 2 2 がオフとなってラッチ部は非活性状態、差動増幅部は活性化状態となり、実質的に図 1 に示された差動増幅回路 2 と同様の回路構成となって差動増幅信号 E 1, E 2 をそのままレベル変換回路 3 に伝達するスルー状態となる。

【0051】クロック信号 C K が高レベルのときは、トランジスタ M 2 1 がオフとなって差動増幅部は非活性状態になると共に、トランジスタ M 2 2 がオンとなってラッチ部が活性化し、差動増幅信号 E 1, E 2 のうちの高レベル側の信号をベースに受けるトランジスタ (Q 2 3, Q 2 4 のうち的一方) がオンし、差動増幅信号 E 1, E 2 のうちの高レベル側から電流を引き抜き、その電位差を保ちつつ出力する。すなわちラッチ状態とする。

【0052】この第 6 の実施の形態では、ラッチ機能を付加しても、差動増幅信号 E 1, E 2 の信号伝達線にラッチ部が付加されるだけであり、信号伝達経路におけるラッチ部用の回路段数が増えることはないため、そのための動作速度の遅れは殆ど発生しない。すなわち、ラッチ回路 (信号保持部) を必要とする半導体集積回路に本発明を適用した場合、従来のような縦続接続されたラッチ回路としなくて済むので、その分、全体の動作速度を速くすることができる。

【0053】図 9 は本発明の第 7 の実施の形態を示す回路図である。

【0054】この第 7 の実施の形態は、第 6 の実施の形態に加え、レベル変換回路 3 b にもラッチ機能を付加し、ラッチ機能付きの差動増幅回路 2 a と共にレジスタ回路を構成するようにしたものである。

【0055】この第 7 の実施の形態のレベル変換回路 3 b は、図 1 に示されたレベル変換回路 3 に相当するトラ

ンジスタQ31, M31, M32及びダイオードD31と、ゲートをトランジスタQ31のエミッタと接続しソースに電源電位Vccを受けるpMOS型のトランジスタM36と、ゲートをトランジスタM31, M32のドレインと接続しドレインをトランジスタM36のドレインと接続しソースに接地電位を受けるnMOS型のトランジスタM37と、ベースにクロック信号CKのレベル反転信号を受けコレクタに電源電位Vccを受けエミッタをトランジスタQ31のエミッタと接続するバイポーラ型のトランジスタQ33と、ゲートにクロック信号CKのレベル反転信号を受けソース及びドレインをトランジスタM32のソース及びドレインと対応接続するnMOS型のトランジスタM35と、入力端をトランジスタM36, M37のドレインと接続するインバータIV31と、入力端をこのインバータIV32の出力端と接続するインバータIV32と、ゲートにクロック信号CKのレベル反転信号を受けソース及びドレインをインバータIV32の出力端とトランジスタM36, M37のドレインとの間に接続するnMOS型のトランジスタM38とを備え、トランジスタM36, M37のドレイン接続点から出力信号OUTを出力し、トランジスタM31のゲートにクロック信号CKのレベル反転信号を伝達する構成となっている。

【0056】このような構成とすることにより、クロック信号CKが高レベルの非ラッチ時には、実質的に図1の回路にトランジスタM36, M37が付加されただけの回路となり、トランジスタM36, M37は互いに相補的にオン、オフして出力信号OUTをほぼ接地電位レベルから電源電位Vccレベルまでフルスイングさせることができる。

【0057】また、クロック信号CKが低レベルのラッチ時には、トランジスタM31をオフとし、トランジスタM35をオンにしてM37をオフとし、トランジスタQ33をオンにしてM36をオフとし、出力信号OUTの信号線を前段側と切離すと共に、トランジスタM38をオンにしてインバータIV31, IV32及びトランジスタM38による閉ループを形成して出力信号OUTを保持し出力するラッチ回路を構成する。

【0058】このラッチ回路は、クロック信号CKのレベル反転信号によって制御され、一方、差動増幅回路2aのラッチ部はクロック信号CKそのもので制御されるので、差動増幅回路2a側をマスタラッチ、レベル変換回路3b側をスレーブラッチとするレジスタ機能が実現できる。

【0059】この第7の実施の形態においては、レベル変換回路にCMOS型のドライバ回路(M36, M37)が付加された形となっているが、レベル変換回路の出力側には通常このようなドライバ回路が必要であり、このドライバ回路を含めた形でのラッチ回路付加による信号伝達経路の回路段数の増加は全くなく、従って動作

速度の遅れは殆どない状態でレジスタ機能を負荷することができる。

【0060】図10は本発明の第8の実施の形態を示す回路図である。

【0061】この第8の実施の形態は、差動増幅回路2bの駆動用のトランジスタをnMOS型のトランジスタM24, M26とすると共に、レベル変換回路3cを、インバータIV34, 35及びトランスファゲートTG31, TG32から成るラッチ機能付きとしたものである。

【0062】この第8の実施の形態の差動増幅回路2bは、ソースを共通接続しゲートに第1及び第2の駆動用の信号P1, P2それぞれを対応して受けるnMOS形の駆動用のトランジスタM24, M25と、これら駆動用のトランジスタM24, M25のソースと接地電位点との間に接続された定電流源I22と、ソースに電源電位Vccを受けドレインをトランジスタM24のドレインと接続するpMOS型のトランジスタM23と、ソースに電源電位Vccを受けゲート及びドレインをトランジスタM23のゲート及びトランジスタM26のドレインと接続してトランジスタM23と共にカレントミラー回路型の負荷回路を形成するpMOS型のトランジスタM25とを備えた構成となっている。

【0063】また、レベル変換回路3cは、入力端に差動増幅回路の出力信号、すなわち差動増幅信号E1を受けクロック信号CKが低レベルのときに導通してこの入力端の信号を出力端に伝達する第1のトランスファゲートTG31と、所定のしきい値電圧をもち入力端にトランスファゲートTG31の出力端の信号を受けるCMOS型の第1のインバータIV34と、このインバータIV34の出力信号をレベル反転する第2のインバータIV35と、入力端にインバータIV35の出力信号を受けクロック信号が高レベルのときに導通して入力端の信号を出力端と接続するインバータIV34の入力端に伝達する第2のトランスファゲートTG32とを備えた構成となっている。

【0064】この第8の実施の形態においては、従来例の全てがpMOS型のトランジスタで形成された差動増幅回路に対し、差動増幅回路2bの駆動用のトランジスタM24, M26を、トランジスタ能力の高いnMOS型とし、また、このnMOS型のトランジスタM24, M26が駆動できるように、プッシュプル回路1dを、その出力信号の駆動用の信号P1, P2を比較的高い電圧に高速シフトする回路としている。

【0065】レベルシフト回路3cは、クロック信号CKが低レベルのときトランスファゲートTG31及びインバータIV34を介して出力信号OUTを出力する。このとき、差動増幅信号E1はインバータIV34により接地電位レベル、電源電位レベルにフルスイングされる。また、クロック信号CKが高レベルのときは、差動

増幅回路 2 b と切離されると共に、インバータ I V 3 4, I V 3 5 及びトランスファゲート T G 3 2 によりラッチ回路を形成し、クロック信号 C K が高レベルになる直前の状態 (信号) を保持し出力する。

【0066】この第 8 の実施の形態では、前述した実施の形態で使用しているバイポーラ型のトランジスタを使用していないので、これら実施の形態より動作速度がやや遅くなるが、その分、製造コストやチップ面積などの点で有利である。

【0067】図 11 は本発明の実施の形態のうちのレジスタ機能が付加されていない場合と付加されている場合の実施の形態の遅延時間及び消費電流を従来例と比較した図である。また、レジスタの機能が付加されていない場合では後段に比較的重い負荷容量を、レジスタ機能付きの場合では比較的軽い負荷容量を接続してそれぞれ比較している。特に重い負荷としては、1～2 段のドライバ回路を接続している。

【0068】従来例では、どちらの場合でも遅延時間が 1.5 ns、消費電流が 1.5 mA であるのに対し、本発明の実施の形態では、レジスタ機能なしの場合、従来例に対し、遅延時間で 27%、消費電流で 40% 程度改善され、レジスタ機能付きの場合、遅延時間で 47%、消費電流で 27% 程度改善される。

【0069】なお、前述した実施の形態は一例であり、これらの実施の形態を基本とした変形も容易であり、またこれら実施の形態の各部の組合せによる変形も容易である。

【0070】

【発明の効果】以上説明したように本発明は、差動増幅回路の駆動用のトランジスタをバイポーラ型及び nMO S 型のトランジスタとし、これらトランジスタを駆動するプッシュプル回路を、ゲートに入力信号及びリファレンス電圧それぞれを対応して受けてそのレベルに応じてオン能力を制御する MOS 型のトランジスタで形成し、また、レベル変換回路を、相補型の差動増幅信号のレベルに忠答してトランジスタのオン能力を制御しレベル変換する回路又は CMOS 型の回路とし、かつ、これら回路の出力信号のレベルをそれぞれの次段回路の入力段トランジスタの特性にマッチしたレベルとすることにより、各回路の動作に必要な電流を低減して消費電流を低減することができ、かつ構成トランジスタの持つ特性を生かして動作の高速化をはかることができる効果があり、また、差動増幅回路及びレベルシフト回路の出力信

号線の信号を所定のタイミングで保持し出力するラッチ回路を設けることにより、信号の伝達時間を損うことなくラッチ機能、レジスタ機能を付加することができ、半導体集積回路全体の動作速度を速くすることができる効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を示す回路図である。

【図 2】図 1 に示された実施の形態の動作及び効果を説明するための各部信号の第 1 の過渡応答特性図である。

【図 3】図 1 に示された実施の形態の動作及び効果を説明するための各部信号の第 2 の過渡応答特性図である。

【図 4】本発明の第 2 の実施の形態のプッシュプル回路部分の回路図である。

【図 5】本発明の第 3 の実施の形態のプッシュプル回路部分の回路図である。

【図 6】本発明の第 4 の実施の形態のプッシュプル回路部分の回路図である。

【図 7】本発明の第 5 の実施の形態を示す回路図である。

【図 8】本発明の第 6 の実施の形態を示す回路図である。

【図 9】本発明の第 7 の実施の形態を示す回路図である。

【図 10】本発明の第 8 の実施の形態を示す回路図である。

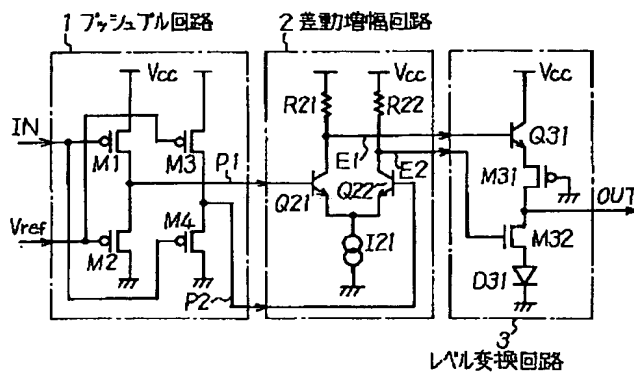
【図 11】本発明の実施の形態の遅延時間及び消費電流を従来例と比較して示した図である。

【図 12】従来の入力バッファ回路の一例を示す回路図である。

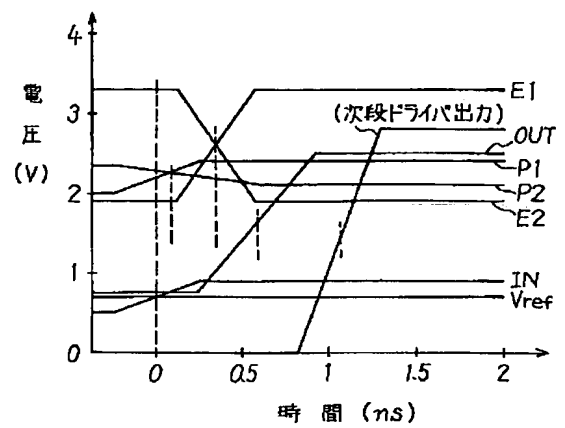
【符号の説明】

1, 1 a ～ 1 d プッシュプル回路
2, 2 a, 2 b, 2 x 差動増幅回路
3, 3 a ～ 3 c レベル変換回路
D 3 1 ダイオード
I 2 1, I 2 1 x, I 2 2 定電流源
I V 2 1, I V 3 1 ～ I V 3 5 インバータ
M 1 ～ M 1 6, M 2 1 ～ M 2 6, M 2 1 x ～ M 2 4 x, M 3 1 ～ M 3 8, Q 2 1 ～ Q 2 4, Q 3 1 ～ Q 3 3 トランジスタ
R 2 1, R 2 2 負荷抵抗
T G 3 1, T G 3 2 トランスファゲート

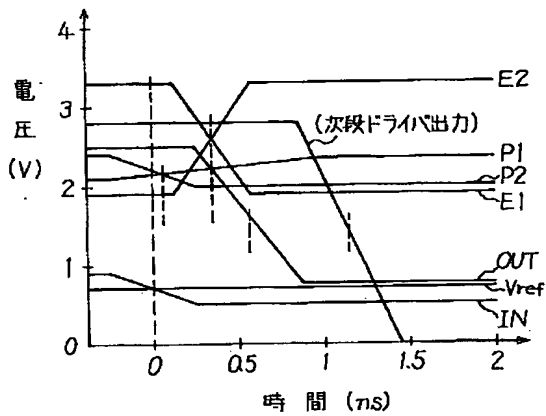
【図 1】



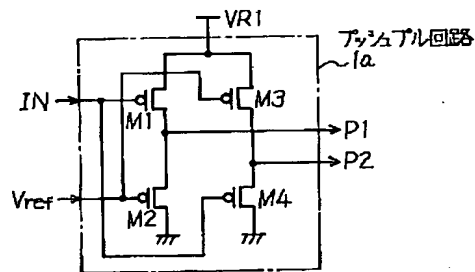
【図 2】



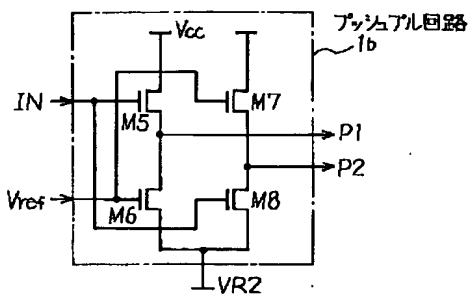
【図 3】



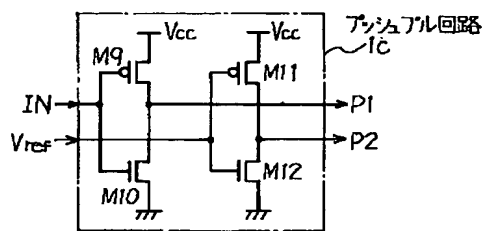
【図 4】



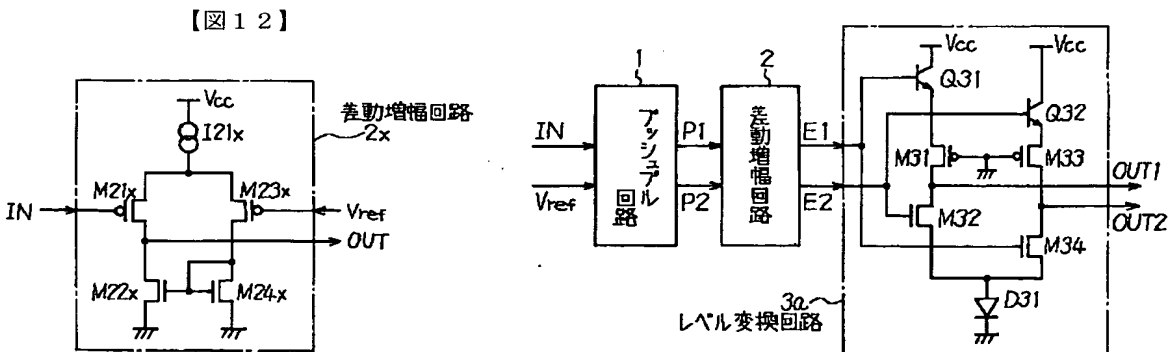
【図 5】



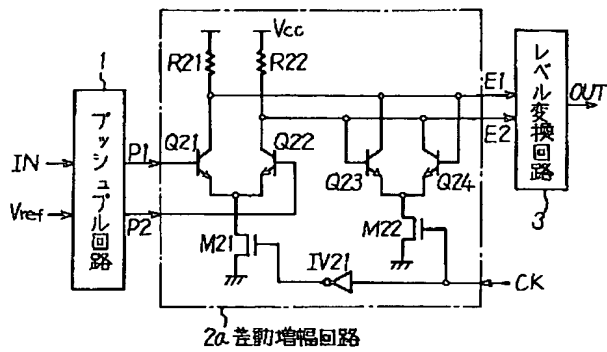
【図 6】



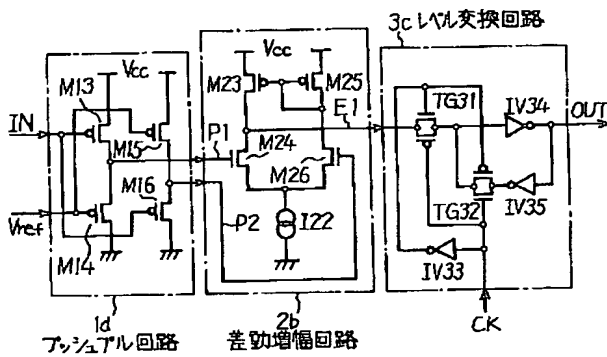
【図 7】



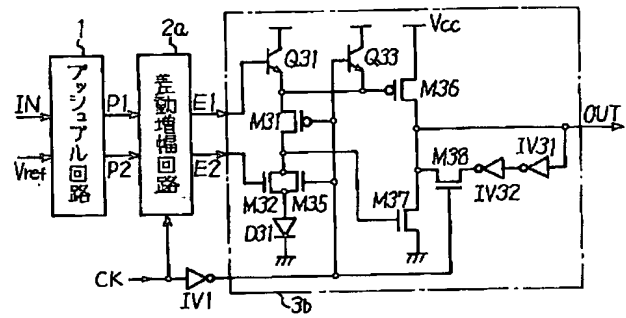
【図 8】



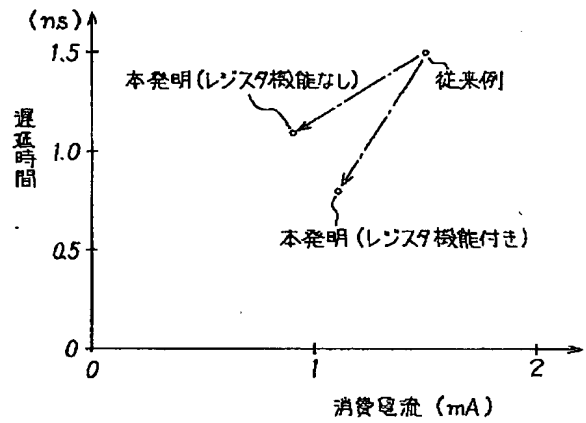
【図 10】



【図 9】



【図 11】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-046209

(43)Date of publication of application : 14.02.1997

(51)Int.Cl. H03K 19/0175
H03K 19/08
H03K 19/086

(21)Application number : 07-193554

(71)Applicant : NEC CORP

(22)Date of filing : 28.07.1995

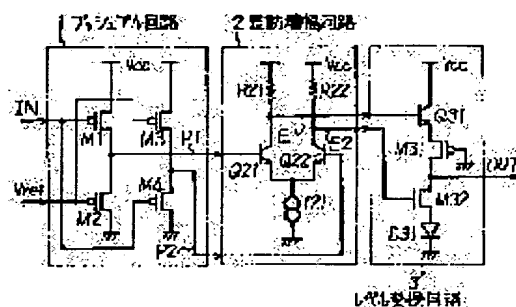
(72)Inventor : TAKAHASHI HIROYUKI

(54) INPUT BUFFER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve operation speed and to reduce consumption current.

SOLUTION: In this circuit, there is provided with a push/pull circuit 1 which is provided with two pairs of pMOS-type transistors M1-M4 that receive input signals IN and reference voltage Vref by gates and that are connected in series between a power supply source potential point and a ground potential point and which outputs complementary driving signals P1 and P2. Also it is provided with an ECL-type differential amplifier circuit 2 which is provided with bipolar-type transistors Q21 and Q22 receiving the driving signals P1 and P2 by bases and which outputs complementary differential amplifier signals E1 and E2. A level conversion circuit 3 where a bipolar-type transistor Q1 receiving the differential amplifier signal E1 in a base, a pMOS-type transistor M31 grounding a gate, an nMOS-type transistor M32 receiving the differential amplifier signal E2 by a gate and a diode D31 are connected in series between the power supply source potential point and the ground potential point is provided.

**LEGAL STATUS**

[Date of request for examination] 28.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2773692

[Date of registration] 24.04.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's